

WHAT IS CLAIMED IS

A computer including an external memory which is accessible via an external bus and an instruction cache memory which is accessible without using an external bus, comprising:

a first instruction reading-in function for accessing the instruction cache memory and for accessing the external memory via the external bus only when missed in hitting;

a second instruction reading-in function for accessing the instruction cache memory and the external memory simultaneously to use a value of the cache memory when the instruction cache memory has been hit while using a value of the external memory when the instruction cache memory has not been hit;

a predicting function for predicting hit/miss-hit of the instruction cache memory from the history of the past hit of the instruction cache memory; and

a third instruction reading-in function for reading in an instruction using the first instruction reading-in function when hit has been predicted while reading in an instruction using the second instruction reading-in function when miss-hit has been predicted.

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02307123 A**

(43) Date of publication of application: **20.12.90**

(51) Int. Cl.

G06F 9/38

G06F 12/08

(21) Application number: **01129141**

(22) Date of filing: **22.05.89**

(71) Applicant: **NEC CORP**

(72) Inventor: **NARIMATSU HIROSHI**
NEGI KATSUHIKO

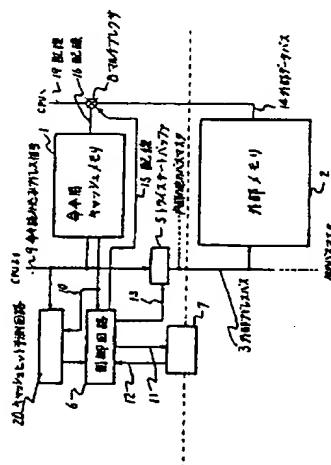
(54) **COMPUTER**

(57) Abstract:

PURPOSE: To eliminate the useless time required for the access to an external memory and at the same time to decrease the useless external access frequency by selecting a simultaneous state with the access to an instruction cache or a mishit state of this cache when an access is given to the external memory.

CONSTITUTION: When the hit is estimated for the access of this time, an access is first given to an instruction cache memory 1 only. Then an external bus using request signal is outputted to a bus arbitrating circuit 7 only when the access has a mishit to the memory 1. Then an address is outputted to an external address bus 3 and an access is given to an external memory 2. When the mishit of the access is estimated, an access is given to the memory 1 and at the same time an address is outputted to the bus 3 to have an access to the memory 2. Thus it is possible to reduce the useless time required for reading the data on the memory 2 and at the same time to decrease the useless application frequency of the bus 3.

COPYRIGHT: (C)1990,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-307123

⑬ Int.Cl.³

G 06 F 9/38
12/08

識別記号

3 1 0 A
D

庁内整理番号

7361-5B
7010-5B

⑭ 公開 平成2年(1990)12月20日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 計算機

⑯ 特 願 平1-129141

⑰ 出 願 平1(1989)5月22日

⑱ 発 明 者 成 松 宏 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 根 木 勝 彦 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称
計算機

特許請求の範囲

外部のバスを経由してアクセス可能な外部メモリと、外部のバスを使用せずにアクセスできる命令用キャッシュメモリとを有する計算機において、

命令用キャッシュメモリをアクセスし、ミスヒットした時のみ外部バスを経由して外部メモリをアクセスする第1の命令読み込み機能と、

命令用キャッシュメモリと外部メモリとを同時にアクセスし、命令用キャッシュメモリがヒットした時はキャッシュメモリの値を、ヒットしなかった時には外部メモリの値を使用する第2の命令読み込み機能と、

命令用キャッシュメモリの過去のヒットの履歴から命令用キャッシュメモリのヒット/ミスヒッ

トを予測する予測機能と、

ヒットと予測した時には上記第1の命令読み込み機能を使用して命令を読み込み、ミスヒットと予測した時には上記第2の命令読み込み機能を使用して命令を読み込む第3の命令読み込み機能を有して成ることを特徴とする計算機。

発明の詳細な説明

(産業上の利用分野)

本発明は計算機に関し、特に命令用キャッシュメモリを有する計算機に関する。

(従来の技術)

従来の、命令用キャッシュメモリを有する計算機では、読み込むべき命令のある有効なアドレスを得た後、次のいずれかの方式で命令を読み込んでいた。

すなわち、第1の方式は、まず命令用キャッシュメモリをアクセスし、ヒットすればそのデータを読み込み、ヒットしなければ外部バスを経由して外部のメモリを読み込む。第3図は、この動作

のミスヒットした場合のタイミングチャート、第5図は従来の技術による命令用キャッシュメモリの構成を示すブロック図である。

CPU有効な命令読み込みアドレス9が出力されると、命令用キャッシュメモリ1はそのメモリアクセスがヒットすればヒット信号10が出力される。これがミスヒットであった場合、制御回路6は外部メモリをアクセスするために外部バス要求信号11を出力する。すると、バス調停回路7が外部バス使用許可信号12を出力すると、制御回路6はバッファ駆動信号13を出力し、アドレスを外部アドレスバス3に出力し、外部メモリ2の内容が外部データバス14として読み出される。このとき、制御回路6から配線15を経由して供給されるマルチプレクサ切換のための信号により、外部データバス14の信号は配線19を経由してCPUへ出力される。

第二の方式は、命令用キャッシュメモリをアクセスすると同時に、外部バスを経由して外部メモリもアクセスし、キャッシュメモリがヒットし

た時にはキャッシュメモリのデータを読み込み、ミスヒットした時には外部メモリのデータを読み込む。第4図は、この動作のタイミングチャートである。以下第5図と併せて説明する。

CPU有効な命令読み込みアドレスが配線9に出力されると、これが命令用キャッシュメモリ1にヒットするかどうかに関係なく（すなわちヒット信号10の状態に関係なく）、制御回路6は外部バス要求信号11を出力する。すると、バス調停回路7が外部バス使用許可信号12を出力すると、制御回路6はバッファ駆動信号13を出力し、アドレスを外部アドレスバス3に出力し、外部メモリ2の内容が外部データバス14として読み出される。この場合も、制御回路6から配線15を経由して供給されるマルチプレクサ切換のための信号により、外部データバス14の信号は配線19を経由してCPUへ出力する。

〔発明が解決しようとする課題〕

上述した、命令用キャッシュを有する計算機では、第一の方式のものではキャッシュにヒットし

た場合外部バスを使用しないと云う利点を有するが、ミスヒットした場合には、命令用キャッシュをアクセスした後に外部メモリをアクセスするのでデータを得るまでに時間がかかるという欠点を有する。また、第二の方式のものでは、最初から外部メモリをアクセスにいくので、ミスヒットした場合でも外部メモリのアクセスに余計な時間を必要としないという利点を有するが、常に外部バスを使用すると言う欠点を有する。外部バスは命令の読み込み以外にも使用するので、無駄な外部アクセスの使用は性能の低下を招くようになる。

上述した従来の命令用キャッシュを有する計算機に対して、本発明の計算機では第一の方式と第二の方式との両方の方式が利用可能で、場合に応じてそれらを使い分けるという相違点を有する。
〔課題を解決するための手段〕

本発明の計算機は、外部のバスを経由してアクセス可能な外部メモリと、外部のバスを使用せずにアクセスできる命令用キャッシュメモリとを有する計算機において、

命令用キャッシュメモリをアクセスし、ミスヒットした時のみ外部バスを経由して外部メモリをアクセスする第1の命令読み込み機能と、

命令用キャッシュメモリと外部メモリとを同時にアクセスし、命令用キャッシュメモリがヒットした時はキャッシュメモリの値を、ヒットしなかった時には外部メモリの値を使用する第2の命令読み込み機能と、

命令用キャッシュメモリの過去のヒットの履歴から命令用キャッシュメモリのヒット／ミスヒットを予測する予測機能と、

ヒットと予測した時には上記第1の命令読み込み機能を使用して命令を読み込み、ミスヒットと予測した時には上記第2の命令読み込み機能を使用して命令を読み込む第3の命令読み込み機能を有して構成される。

〔実施例〕

第1図は本発明の第1の実施例の命令用キャッシュメモリの構成を説明する図である。この実施例では、説明を簡単にするためにキャッシュメモ

りに対する書込み動作に関する部分は省いてある。

命令用キャッシュメモリ1は命令読み込み用アドレス信号9を入力しヒットすれば、データを配線16に出力し、ヒット信号10を出力する。トライステートバッファ5は、バッファ駆動信号13がアクティブである時に命令読み込みアドレス信号を外部アドレスバス3に出力する。外部バスは外部アドレスバス3と外部データバス14とからなる。外部バスは、トライステートバッファ5以外の物ともつながれているかもしれないので、使用する前に外部バスの確保を行わなければならない。それを行なうのがバス調停回路7である。制御回路6が外部バスの使用を要求するために外部バス要求信号11をアクティブにすると、バス調停回路7は他からの要求や使用状況とあらかじめ決められている優先順位に基づいて、外部バス使用許可信号12が出力される。図を分かりやすくするために、バス調停回路7が他からの要求や使用状況を知るための構成は、第1図にはかかれて

いない。

そして、外部メモリ2は外部アドレスバス3で指定されるアドレスにデータの書込み、あるいは読みだしを行なう。読みだされたデータは外部データバス14を経由してマルチプレクサ8に入力される。マルチプレクサ8は、制御回路6が配線15を経由して出力するマルチプレクサ切換のための信号によって配線16か外部データバス14のいずれかを配線19を経由してCPUへ出力する。キャッシュヒット予測回路20は命令読み込みアドレスとヒット信号との履歴から、命令キャッシュがヒットするかどうかを予測しこの結果を制御回路6に出力する。

本実施例では、命令用キャッシュメモリへの書込みは、ミスヒットしたデータのみで先読み（キャッシュメモリがCPUの動作を予測し、読み込み要求が出ていないデータを前もって読み込んでおくこと）は行なわないものとする。

このような状況で命令キャッシュがヒットするのは、プログラムがループにかかった場合が多い

と考えられる。ここでキャッシュのヒット予測のアルゴリズムとして次のものを使用する。ある命令読み込みのアクセスで、命令用キャッシュがヒットすれば、次の命令読み込みアクセスでキャッシュはヒットするであろうと予測し、ミスヒットすれば、次もミスヒットするであろうと予測する。

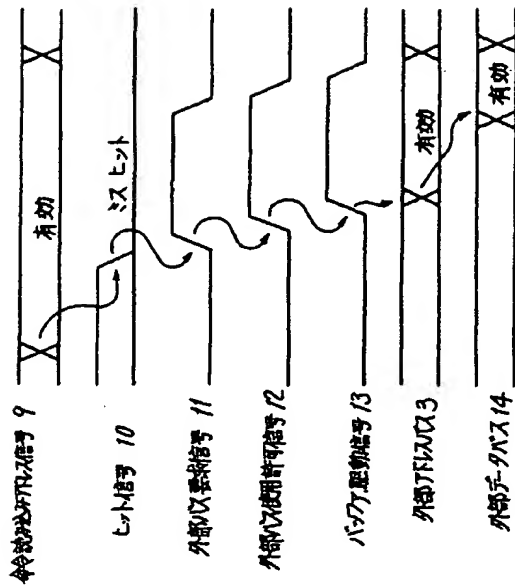
この時、本実施例の動作は次のようになる。前回のアクセスの結果によって、今回のアクセスがヒットするであろうと予測した場合には、まず命令用キャッシュメモリ1のみアクセスし、それがミスヒットした時のみバス調停回路7に外部バス使用要求信号を出力し、外部アドレスバス3にアドレスを出力し外部メモリをアクセスする。すなわち、第3図に示す動作をする。ミスヒットするであろうと予測した時には、命令用キャッシュメモリ1をアクセスすると同時にバス調停回路7に外部バス使用要求信号を出力し、外部アドレスバス3にアドレスを出力して外部メモリをアクセスする。命令用キャッシュメモリ1がヒットすれば

キャッシュメモリのデータをCPUに送るとともに、外部メモリのアクセスを中断する。キャッシュメモリがミスヒットすれば外部メモリのデータをCPUに送る。すなわち、第4図に示す動作をする。

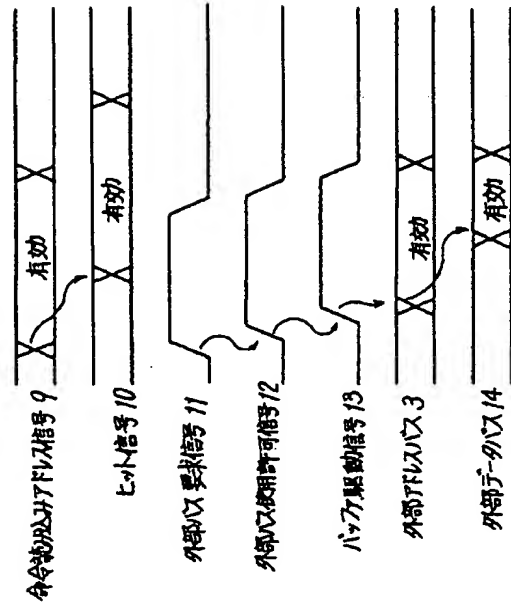
第2図は、本発明の第2の実施例の命令用キャッシュメモリの構成を説明する図である。

第1図に示した第1の実施例との相違点のみ説明する。

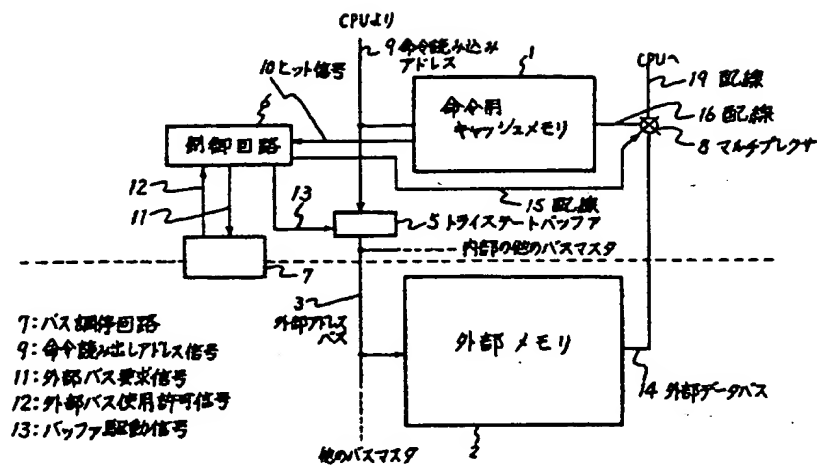
その内容は、命令用キャッシュメモリとマルチプレクサをつなぐ配線18と外部データバス17が4ワードの幅を待っており、ミスヒット時のキャッシュメモリへの書込みが4ワード単位に行なわれる。ここで、1ワードの幅とはCPUにデータを送る配線19の幅のことである。この構成ではミスヒットが起きてキャッシュメモリへの書込みが行なわれると、その直後の同じ4ワードのブロック（以下ブロックと記す）に対する読みだしはヒットするので、キャッシュヒット予測回路20のアルゴリズムは次のようにする。前回のアク



第 3 図



第 4 図



第 5 図